

**VACUUM LSI**

Patent Number: JP11329263  
Publication date: 1999-11-30  
Inventor(s): AOKI TAKESHI  
Applicant(s): AOKI TAKESHI  
Requested Patent: JP11329263  
Application Number: JP19980172021 19980515  
Priority Number(s):  
IPC Classification: H01J21/10; H01J19/78  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PROBLEM TO BE SOLVED:** To provide an IC(integrated circuit) and an LSI(large scale integrated circuit) which do not depend on a semiconductor substrate such as a silicon wafer, by using an active element for controlling the electrons which more in a vacuum space, i.e., a vacuum element.

**SOLUTION:** This LSI comprises an insulator substrate, a vacuum element comprising a cathode (negative electrode) 10 of a field emission type cold cathode, a grid (lattice electrode) 9 of a metal electrode, and an anode (positive electrode) 8 of a metal electrode, a resistance comprising a resistant material 11 and both end metals, a capacitor comprising a dielectric 5 and two sheets of metal to sandwich the dielectric 5, and a vacuum sealing cap 1.

---

Data supplied from the esp@cenet database - 12

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-329263

(43) 公開日 平成11年(1999)11月30日

(51) Int.Cl.<sup>a</sup>

H 0 1 J 21/10  
19/78

識別記号

F I

H 0 1 J 21/10  
19/78

審査請求 未請求 請求項の数 3 書面 (全 3 頁)

(21) 出願番号 特願平10-172021

(22) 出願日 平成10年(1998) 5月15日

(71) 出願人 597144152

青木 武

群馬県太田市丸山町199番地

(72) 発明者 青木 武

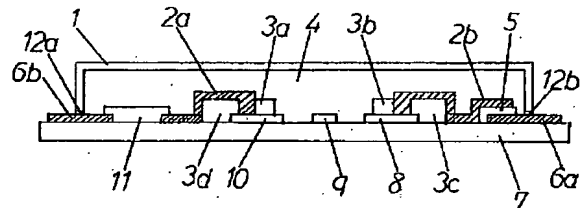
群馬県太田市丸山町199番地

(54) 【発明の名称】 真空LSI

(57) 【要約】

【目的】 本発明は、真空中を移動する電子を制御する能動素子、すなわち真空素子を用いたため、シリコンウエハ等の半導体基板に依存しないIC（集積回路）とLSI（大規模集積回路）の提供を目的とするものである。

【構成】 絶縁体基板と、電界放出型冷陰極であるカソード（陰極）10と金属電極のグリッド（格子極）9と同じく金属電極のアノード（陽極）8とからなる真空素子と、抵抗材料11と両端の金属からなる抵抗と、誘電体5とそれをはさむ2枚の金属からなるコンデンサーと、真空封止キャップ1とからなるものである。



【特許請求の範囲】

【請求項1】 絶縁体基板と、電界放出型冷陰極であるカソード（陰極）と金属電極のグリッド（格子極）と同じく金属電極のアノード（陽極）とからなる真空素子と、抵抗材料と両端の金属からなる抵抗と、誘電体とそれをはさむ2枚の金属からなるコンデンサーと、真空封止キャップとからなるIC（集積回路）およびLSI（大規模集積回路）。

【請求項2】 前記真空素子を平面構造とした請求項1記載のICおよびLSI。

【請求項3】 のこぎりの刃状の型状をしたカソードを持つ請求項2記載のICおよびLSI。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、真空中を移動する電子を制御する能動素子、すなわち真空素子を用いたため、シリコンウェハ等の半導体基板に依存しないLSI（ICを含む）に関するものである。

【0002】

【従来の技術】従来のLSIは、シリコンウェハの表面付近に個体の中を移動する電子を制御する能動素子、すなわちトランジスタを主に電気回路を作成してたが、電子の移動速度が真空中を移動する速度に比べて遅いためスイッチング時間に限界があった。シリコンで形成されたLSIでは、安定した動作を保証するための動作温度が比較的低いため、通電による温度上昇に伴い動作が不安定になった。また、製造面から言えば、シリコンウェハの周辺部は、チップの形状が四角にならないため、必ず不良品となるので製造コストが高くなった。さらに、シリコンウェハは、高純度、無欠陥であることが要求され、この高純度シリコン中に拡散、イオン打ち込みなどによって種々の不純物を導入し目的とする機能を持ったデバイスを製作したが、その設備は高価なものであった。

【0003】

【発明が解決しようとする課題】本発明は、上記問題点を解決するものであり、シリコンウェハ等の半導体基板に依存しないICおよびLSIの提供を目的とする。

【0004】

【課題を解決するための手段】本発明は、絶縁体基板7と、電界放出型冷陰極であるカソード10と金属電極のグリッド9と同じく金属電極のアノード8とからなる真空素子と、抵抗材料11と両端の金属からなる抵抗と、誘電体5とそれをはさむ2枚の金属からなるコンデンサーと、真空封止キャップ1とからなるものである。

【0005】

【作用】本発明は、前述の手段を講じたもので、カソード10に負、アノード8に正の電圧を印加し、さらにグリッド9に負、カソード10に正の電圧を印加する。すると、カソードとアノード間の電圧によって、カソード

から飛び出した電子が、真空中をアノードに向かう。しかし、グリッドの負の電圧のためカソードから飛び出した電子は、グリッドのすき間を通過することができないため、アノードまで到達できない。したがって、グリッドとアノードの間には、電流が流れないため、真空素子は、オフ状態である。しかし、グリッドに正の入力があれば、電子はグリッドのすき間を通過して、アノードまで到達できる。カソードからアノードまで電子が移動したことにより、電流は、アノードからカソードに流れるため、真空素子はオン状態になる。すなわち、入力が高レベルに対して、出力がローレベルとなり、逆に、入力が高レベルに対して、出力が高レベルになるので論理回路のインバーターとして機能する。インバーターの機能があれば、それを組み合わせることによりすべての論理回路を作成することができる。また、グリッドを取り去り、アノードとカソードの2極とすると、これは、ダイオードとして作用する。

【0006】

【実施例】以下、本発明の実施例を図面にしたがって説明する。図1は、実施例であって、絶縁体基板7にアノード8、グリッド9、カソード10となる金属の電極を設け、これらの電極を覆い隠すように絶縁体3a、3b、3c、3dを設ける。絶縁体には、それぞれの電極の一部が同時に見える一つの窓すなわち真空素子用窓14を設ける。また、それぞれの電極に配線を行うためのコンタクト孔13a、13b、13c、13dも設ける。金属と金属の間に抵抗材料11をそれぞれの金属と接触するように設ける。金属と金属の間に誘電体5をはさむようにして設ける。LSIチップを覆うような真空封止キャップ1を設ける。絶縁体基板7は、 $Al_2O_3$ 等のセラミック系を使用するが、他の絶縁材料でも可能である。カソード10は、電力消費の大きい熱陰極は使えないので、電界放出型冷陰極を使用する必要がある。カソードの材料としては、Mo等を使用し形状は、のこぎりの刃状にして表面積を多くし電子の放出効率を上げる。グリッド9とアノード8は、他の金属でも可能である。絶縁体には、 $SiO_2$ 等を使用する。抵抗材料11は、Ni-Cr、Ta-N、タングステン等を用いるが、他の材料でも可能である。誘電体5は、 $SiO_2$ 等を用いるが、他の材料でも可能である。真空封止キャップ1には、 $Al_2O_3$ のセラミックキャップ等を使用し、エポキシ樹脂等でシールして真空パッケージする。また、真空封止キャップ1は、樹脂等の材質でも可能である。図3のように、基板21にカソード19、Mo針状冷陰極20、 $SiO_2$ 絶縁膜スペーサ15、金属膜グリッド18a、18b、 $SiO_2$ 絶縁膜スペーサ15、金属膜陽極17と積んで、真空素子を形成する方法もあるが、配線が立体となり、複雑になる欠点がある。また、真空素子は個別に真空にするため真空度にばらつきが生じ、時には、電子放出ができない真空度の真空素子が発生す

る可能性がある。図1の実施例では、真空素子は平面構造であるため、配線は、立体配線に比較すると容易であり、また、チップを一括して真空封止するため、素子による真空度のばらつきがなくなり動作の安定につながる。また、製造に関しては、図3のような立体構造より図1の実施例のような平面構造のほうが工程数が少なくなる。

【0007】

【発明の効果】シリコンウェハ等の半導体基板を使用しないで、絶縁体基板を使用しているため、高度な製造設備が必要なくなる。シリコンウェハのように円形の基板のために必ず発生する周辺部の不良が、四角い基板を使用できるため構造上から発生する不良はなくなり、製造コストを低下させることができる。電子は、シリコン個体中より真空中を移動する場合のほうが速いので、半導体トランジスタに比較してスイッチング時間が短くなる。さらに、半導体トランジスタに比較して高い温度でも安定して動作する。真空素子を平面構造にすることにより製造工程を少なくすることができる。さらに、チップを一括で真空封止しているため、個々の真空素子のば

【図面の簡単な説明】

【図1】本発明の実施例の側面図である。

【図2】本発明の実施例の一部平面図である

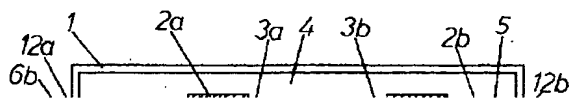
\*

\*【図3】参考図（側面図）である。

【符号の説明】

- 1・・・真空封止キャップ
- 2a、2b・・・金属配線
- 3a、3b、3c、3d・・・絶縁体
- 4・・・真空
- 5・・・誘電体
- 6a、6b・・・外部リード
- 7・・・絶縁体基板
- 8・・・アノード
- 9、9a、9b・・・グリッド
- 10・・・カソード
- 11・・・抵抗材料
- 12a、12b・・・シール材
- 13a、13b、13c、13d・・・コンタクト孔
- 14・・・真空素子用窓
- 15・・・ $\text{SiO}_2$  絶縁膜スペーサ
- 16・・・真空
- 17・・・金属膜陽極
- 18a、18b・・・金属膜グリッド
- 19・・・カソード
- 20・・・Mo針状冷陰極
- 21・・・基板

【図1】



【図2】

